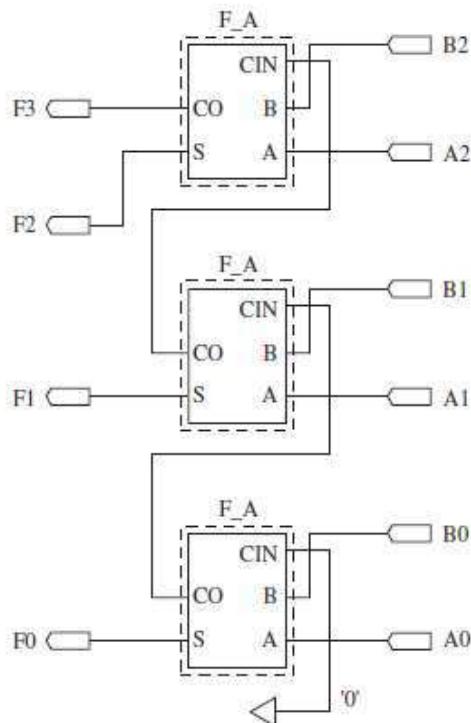


פתרונות VHDL 2011 711003

שאלה 5

באיור לשאלה 5 מוגדרת מערכת המבוצעת פועלות חיבור בין שני מספרים (A, B , שלל אחד מהם בעל שלוש סיביות).

החיבור מוגבצע באמצעות שרשרת מוחברים מלאים (FULL ADDERS).



איור לשאלה 5

- a.** כתוב תכנית בשפת VHDL המבוצעת תיאור מבני לחיבור בין מרכיבי המערכת. השתמש בפקודת PORT MAP לצורך החיבור בין מרכיבי המערכת. (COMPONENTS)

הערות:

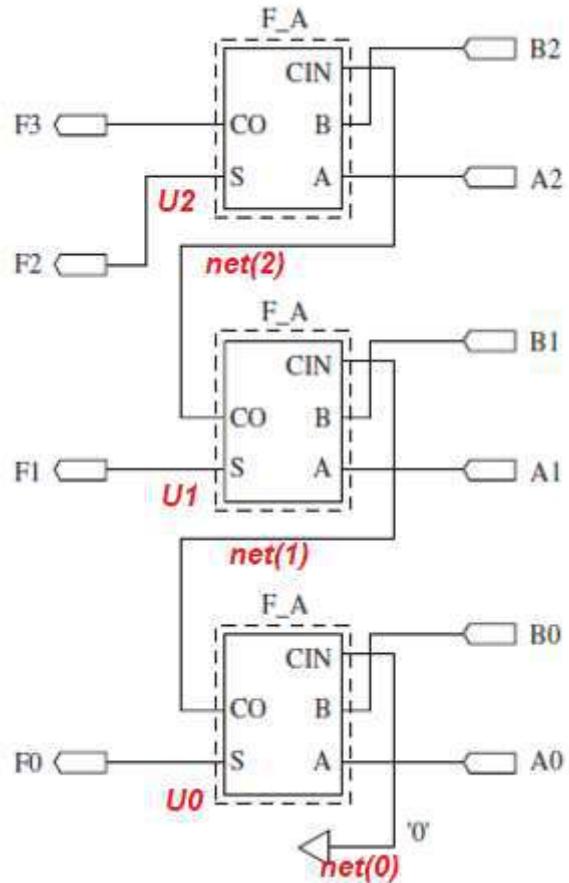
- * הסתכם על כך שתכניות ה-`F_A` כתובות, מהודרות ומכללות את היישות הבאה:

```
entity F_A is
port (A,B,Cin : in bit;
      S,Co : out bit );
end;
```

- * השימוש בפקודה GENERATE מומלץ – אך אינו חובה.

- b.** העתק למוחברתך את סרטוט המערכת, והציג בו את מיקומו ושםו של כל אחד מן האותות (SIGNALS) שבחרת לצורך החיבור המבני שבסעיף א'!

פתרונות 5



```

entity targil5 is
port(A,B: in bit_vector(2 downto 0);
      F: out bit_vector(3 downto 0));
end;
architecture arc_targil5 of targil5 is
signal net:bit_vector(2 downto 0);

component F_A is
port (A,B,Cin : in bit;
      S,Co : out bit );
end component;

begin
net(0)<='0';

U0:F_A port map(A=>A(0),B=>B(0),Cin=>net(0), S=>F(0),Co=>net(1));
U1:F_A port map(A=>A(1),B=>B(1),Cin=>net(1), S=>F(1),Co=>net(2));
U2:F_A port map(A=>A(2),B=>B(2),Cin=>net(2), S=>F(2),Co=>F(3)  );
end;

```

שאלה 6

לפוך התקנית TAR6, הכתובת בשפת VHDL

```

1. library ieee;
2. use ieee. std_logic_1164.all;
3. entity TAR6 is
4. Port ( A , B , Cin : in bit );
5.          S , Co : out bit );
6. end;
7. architecture behave of TAR6 is
8. signal T : bit_vector (2 downto 0);
9. signal Y : bit_vector (1 downto 0);
10. begin
11. T <= A & B & Cin;
12. Co <= Y (1) ;
13. S <= Y (0) ;
14. With T Select
15.      Y<=    "00" when "000",
16.           "01" when "001" | "010" | "100" ,
17.           "11" when "111",
18.           "10" when others;
19. end behave;

```

בערבות: בשורה 16 בתכנית מופיע האופרטור |, שמשמעותו פעולה לוגית OR ב tongues התחנית.

- א. הסביר את הפעולה המתבצעת בשורה 16 בתכנית.
 ב. העתק למחרותך את הטבלה הבאה, והשלם בה את מצב מזבי המילובת בהתאם למצב המבוקשות שלה.

A	B	Cin	Co	S
0	0	0		
0	0	1		
0	1	0	0	1
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

פתרונות 6

א. שרשור – הפיכת לוקטור של 3 ביטים

ב.

A	B	Cin	Co	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

שאלה 7

באирו לשאלה 7 מוגדרת מערכת לזיהוי הקוד "110", המגיעה אליה באופן טורי משני אל למים (סיבית אחת בכל עליית שעון).

**איור לשאלה 7**

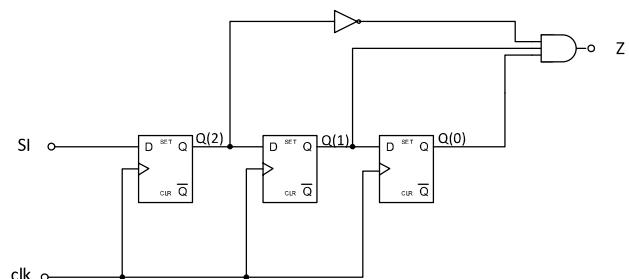
הסיבות ננכשות למועדת דרך המבוא הטורי SI באופן אקראי.

ערךו של המוצא Z יהיה '1' רק לאחר קליטת הקוד, כמפורט בדוגמה הבאה:

մերժ SI	0	1	1	0	1	0	1	1	1	0
מוצא Z	0	0	0	1	0	0	0	0	0	1

כתבו תכנית בשפת VHDL המבצעת את פעולה המערכת זו.

הערה: השימוש במכנות מצבים ממולץ – אך אכן חובה.

פתרון 7**פתרון באמצעות אוגר חזזה**

```

port(SI,clk: in bit;
      Z: out bit);
end;

architecture arc_targil7 of targil7 is
signal Q:bit_vector(2 downto 0);
begin
process(clk)
begin
  if clk'event and clk='1' then
    Q<=SI & Q(2) & Q(1);
  end if;
end process;
Z<= not(Q(2))and Q(1) and Q(0);
end;

```

שאלה 8

לפיכך התכנית TAR8, הכתובת בשפת VHDL :

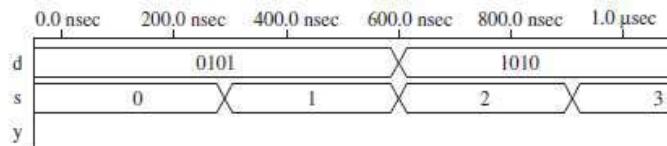
```

1. library ieee;
2. use ieee.std_logic_1164.all;
3. entity TAR8 is
4. generic ( m : integer :=4 );
5. port ( d : in bit_vector(m-1 downto 0) ;
6.         s : in integer range 0 to m-1 ;
7.         y : out bit) ;
8. end;
9. architecture behave of TAR8 is
10. begin
11.   y <= d(s);
12. end behave;
```

א. סרטט את צורת המבנית (SYMBOL) הטעזרת כתוצאה מהויסות (ENTITY) בתכנית TAR8. ציין בתשומתך את מספר הסיביות בכל מבוא ובכל מזוזה של המערכת.

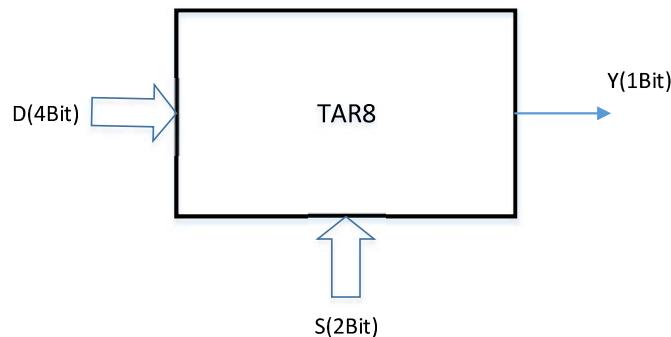
ב. הסביר את ההוראה שבסורה 4 בתכנית, ואת משמעותה לגבי התכנית כולה.

ג. באיזור לשאלה 8 מנותאות דיאגרמות Zus. העתק אותה למחברתך, והשלם בה את מצב המזוזה וברהתאם למצב המבאות פ וצ.



איור לשאלה 8

.א



ב. הוצאה, אפשר להגדיר רכיב בגודל (מספר סיביות) שנבחר

.ג

