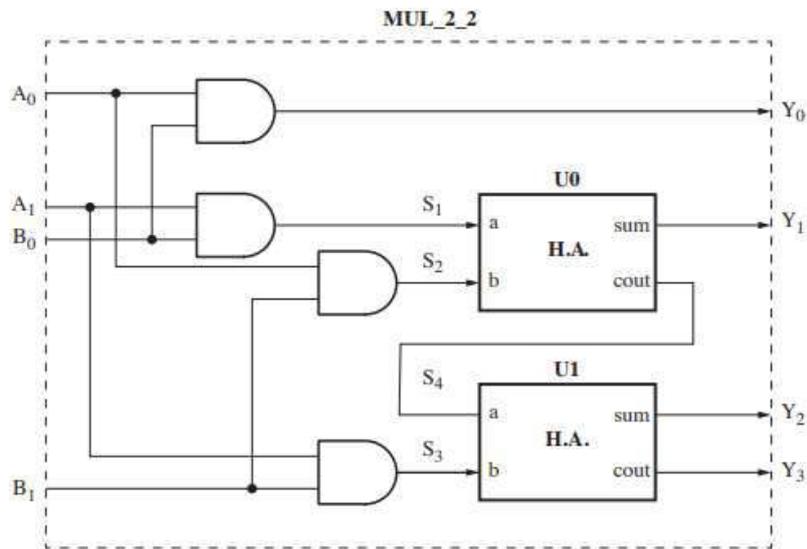


## פתרון VHDL תשפ"ב 2022

### שאלה 5

באיור לשאלה 5 מתוארת מערכת המבצעת פעולת כפל בין שני מספרים בינאריים  $(A_{0:i}, B_{0:i})$ , שכל אחד מהם בעל שתי סיביות. הכפל מתבצע באמצעות ארבעה שערי AND ושני חצי מסכמים (H.A.), כמתואר באיור.



### איור לשאלה 5

להלן קוד בשפת VHDL המתאר חצי מסכם (H.A.).

```
ENTITY HA IS
    PORT (a,b:IN BIT;
          sum, cout: BIT);
END HA;

ARCHITECTURE behave OF HA IS
    BEGIN
    sum <= a XOR b;
    cout <= a AND b;
END behave;
```

- א. (5 נק') היעורו בקוד הנתון לעיל וסרטטו את המעגל הלוגי של החצי מסכם (H.A.).
- ב. (12 נק') כתבו תוכנית בשפת VHDL למימוש המערכת MUL2\_2, המבצעת תיאור מבני לחיבור בין מרכיבי המערכת (COMPONENTS). יש להגדיר את המבואות, את המוצאים ואת הסיגנלים הפנימיים באמצעות BIT\_VECTOR או באמצעות STD\_LOGIC\_VECTOR. המימוש יתבצע לפי עקרונות התכנון ההיררכי, על בסיס החצי מסכם (H.A.) שהקוד המתאר אותו נתון לעיל.
- ג. (8 נק') עבור הכניסות  $A = '10'$ ,  $B = '11'$ , כתבו את ערכו של כל אחד מסיגנלים  $S_{i=4}$  ואת ערכו של כל אחד מהדקי המוצא,  $Y_{0:i}$ .

## פתרון שאלה 5

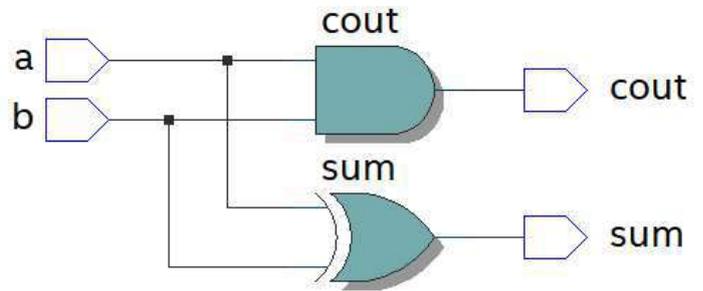
.א.

```

entity HA is
    port(a,b:in bit;
          sum,cout:out bit);
end HA;

architecture behave of HA is
begin
    sum <= a xor b;
    cout <= a and b;
end behave;

```



.ב.

```

entity mul_2_2 is
    port(A,B:in bit_vector(1 downto 0);
          y: out bit_vector(3 downto 0));
end;

architecture arc_mul of mul_2_2 is
    signal s: bit_vector(4 downto 1);

    component HA
        port(a,b:in bit;
              sum,cout:out bit);
    end component;

begin

    u0: HA port map ( a=>s(1), b=>s(2), sum=>y(1), cout=>s(4));
    u1: HA port map ( a=>s(4), b=>s(3), sum=>y(2), cout=>y(3));

    y(0) <= A(0) and B(0);
    s(1) <= A(1) and B(0);
    s(2) <= A(0) and B(1);
    s(3) <= A(1) and B(1);
end;

```

.ג.

```

y(0) = '0', y(1) = '1', y(2) = '1', y(3) = '0'
s(1) = '1', s(2) = '0', s(3) = '1', s(4) = '0'

```

לפניכם תוכנית בשפת VHDL המתארת את המערכת הספרתית Ex6.

```

1.  library IEEE;
2.  use IEEE.std_logic_1164.all;
3.  use ieee.std_logic_arith.all;
4.  use ieee.std_logic_unsigned.all;
5.
6.  entity Ex6 is
7.      port (
8.          clk: in STD_LOGIC;
9.          nrst: in STD_LOGIC;
10.         y1, y2: out STD_LOGIC_VECTOR (1 downto 0)
11.     );
12. end Ex6;
13. -----
14. architecture arch of Ex6 is
15.     signal sig1, sig2 : STD_LOGIC_VECTOR (1 DOWNTO 0);
16. begin
17.     process (clk, nrst)
18.     BEGIN
19.         if nrst= '0' then
20.             sig1 <= (OTHERS => '0') ;
21.             sig2 <= (OTHERS => '0') ;
22.         elsif clk'event and clk ='1' then
23.             if sig1<3 then
24.                 sig1 <= sig1+1 ;
25.             else
26.                 sig1 <= (OTHERS => '0') ;
27.                 if sig2<3 then
28.                     sig2 <= sig2+1 ;
29.                 else
30.                     sig2 <= (OTHERS => '0') ;
31.                 end if;
32.             end if;
33.         end if;
34.     end process;
35.     y1 <= sig1 ;
36.     y2 <= sig2 ;
37. end arch ;

```

- א. (6 נק') הסבירו את ההוראות שבשורות 10, 20, 35.  
 ב. (4 נק') הסבירו את משמעות התוכן המופיע בסוגריים בשורה 17 (clk, nrst).  
 ג. (10 נק') 1. העתיקו את הטבלה שלהלן למחברת והשלימו אותה.

nrst	clk	y1	y2
0			
1			
1			
1			
1			
0			

2. (4 נק') לאחר מספר מחזורי שעון מתקבלים הערכים  $y_1 = (11)_2$  ו- $y_2 = (10)_2$ . העתיקו את הטבלה שלהלן למחברת והשלימו אותה.

nrst	clk	y1	y2
1	כעבור כמה מחזורי שעון	$(11)_2$	$(10)_2$
1			
1			
1			

- ד. (5 נק') הסבירו את פעולת המערכת המתוארת בתוכנית.

## פתרון שאלה 6

- א. שורה 10 – הגדרת מוצאים y1, y2 כווקטור של 2bit מסוג std\_logic  
 שורה 20 – מאפס את sig1  
 שורה 35 – y1 מקבל את ערך של סיגנל sig1

- ב. שורה 17 – clk, nrst רשימת רגישויות של התהליך.  
 ג. 1.

nrst	clk	y1	y2
0		00	00
1		01	00
1		10	00
1		11	00
1		00	01
0		00	00

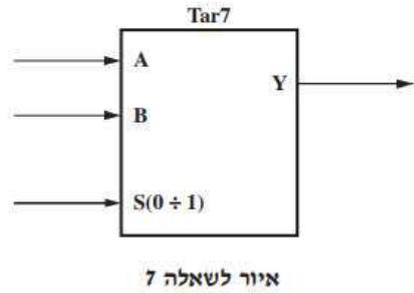
2.

nrst	clk	y1	y2
1	כעבור כמה מחזורי שעון	$(11)_2$	$(10)_2$
1		00	11
1		01	11
1		10	11

- ד. מונה 2 ספרות בבסיס 4

## שאלה 7

באיור לשאלה 7 נתון הסמל של המערכת הספרתית Tar7.



אותות המבוא A, B ואות המוצא Y הם בעלי סיביות אחת, ואות המבוא S הוא בעל שתי סיביות. כתבו תוכנית בשפת VHDL, שתבצע את הפעולות הכתובות בטבלה שלפניכם ללא שימוש בתהליך (PROCESS).

S(1)	S(0)	Y
0	0	0
0	1	B
1	0	A
1	1	$Y = \overline{A + B}$

## פתרון שאלה 7

```
entity Tar7 is
  port(a,b:in bit;
        s: in bit_vector(1 downto 0);
        y:out bit);
end ;

architecture behave of Tar7 is
begin
  y<= '0' when s="00" else
  b      when s="01" else
  a      when s="10" else
  a nor b;
end ;
```

לפניכם תוכנית בשפת VHDL המתארת מערכת ספרתית מסוימת.

```

1  library IEEE;
2  use IEEE.std_logic_1164.all;
3  entity FSM is
4      port (clk, Rst: in std_logic;
5            gB: in std_logic;
6            Y: out integer range 0 to 3);
7  end entity FSM;
8  architecture bv of FSM is
9      type StType is (ST0, ST1, ST2, ST3);
10     signal CurrentST, NextST: StType;
11 begin
12     p1: process (gB, CurrentST)
13     begin
14         case CurrentST is
15             when ST0 => Y <= 0;
16                 NextST <= ST1;
17             when ST1 => Y <= 1;
18                 if (gB = '1') then
19                     NextST <= ST2;
20                 else
21                     NextST <= ST3;
22                 end if;
23             when ST2 => Y <= 2;
24                 if (gB = '1') then
25                     NextST <= ST3;
26                 else
27                     NextST <= ST0;
28                 end if;
29             when ST3 => Y <= 3;
30                 if (gB = '1') then
31                     NextST <= ST0;
32                 else
33                     NextST: ST2;
34                 end if;
35             when others => Y <= 0;
36                 NextSt <= ST0;
37         end case;
38     end process;
39
40     p2: process (clk, Rst)
41     begin
42         if (Rst = '1') then
43             CurrentST <= ST0;
44         elsif rising_edge(clk) then
45             CurrentST <= NextST;
46         end if;
47     end process p2;
48 end architecture bv;

```

- א. (6 נק') הסבירו את ההוראות שבשורות 9, 10, 14, 43.
- ב. (6 נק') הסבירו מה מבצע קטע התוכנית שבשורות 17 ÷ 22.
- ג. (6 נק') סרטטו תרשים בועות המתאר את פעולת המערכת.
- ד. (7 נק')

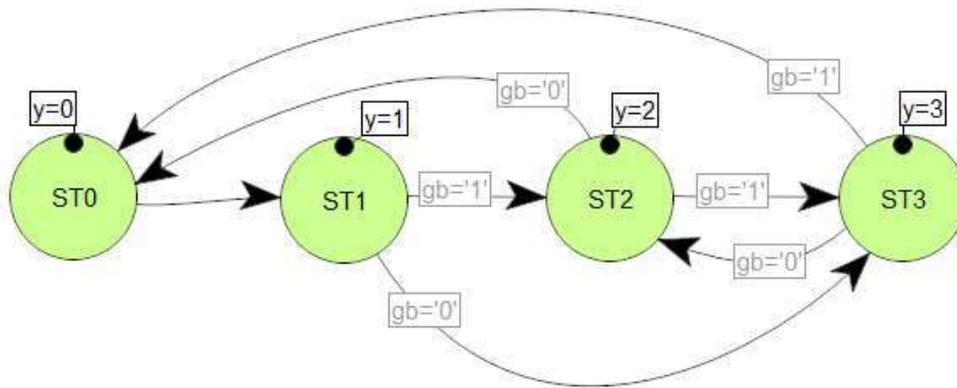
1. (4 נק') כתבו את ארבעת מצבי המערכת כאשר  $gB = '0'$ . המצב ההתחלתי:  $Y = 0$ .
2. (3 נק') כתבו את ארבעת מצבי המערכת כאשר  $gB = '1'$ . המצב ההתחלתי:  $Y = 0$ .

## פתרון שאלה 8

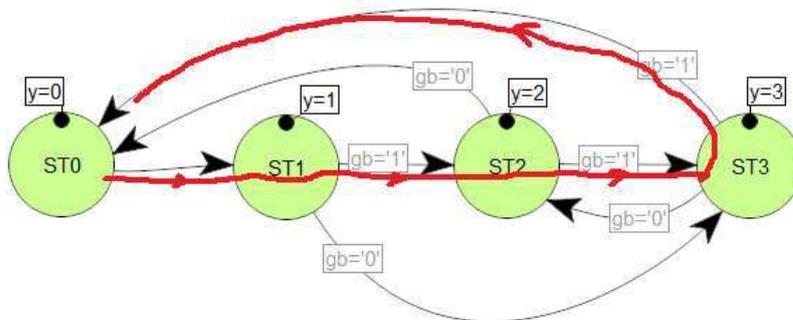
א. שורה 9 – הגדרת טיפוס בשם sttype המכיל את הערכים ST0,ST1,ST2,ST3  
 שורה 10 – הגדרת סיגנל מטיפוס sttype  
 שורה 14 – בדיקת הסיגנל currentST לפי פקודת case  
 שורה 43 – אם  $rst=0$  וגם יש עליית שעון

ב. שורה 17-22 - במצב ST1  
 $\gamma$  מקבל ערך 1  
 מצב המכונה עובר ל-ST2 כאשר  $gb=1$   
 ועובר ל-ST3 כאשר  $gb=0$

ג.



ד.  $gb=1$



$gb=0$

