

פתרון VHDL תשפ"א 2021

שאלה 5

לפניך התוכנית Tar5 הכתובה בשפת VHDL, המממשת מערכת צירופים.

```

1. ENTITY Tar5 IS
2.     PORT (x,y,z :IN BIT;
3.           F      :OUT BIT);
4. END Tar5;
5. ARCHITECTURE behave OF Tar5 IS
6.     SIGNAL A,B,Nx,Ny:Bit;
7. BEGIN
8.     Nx <= NOT x;
9.     Ny <= NOT y;
10.    A <= Nx AND Ny;
11.    B <= x AND y;
12.    F <= A WHEN z = '1' ELSE
13.        B WHEN z = '0' ELSE
14.        '0';
15. END behave;

```

א. (6 נק') הסבר את ההוראה שבשורות 12-14.

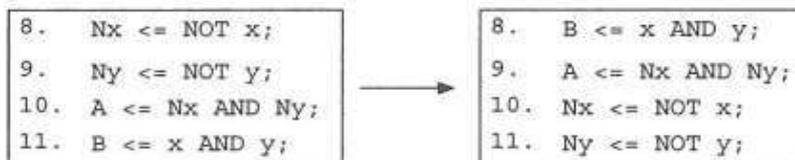
ב. (7 נק')

1. (4 נק') סרטט סמל למערכת Tar5, וציין בסרטוט את המבואות ואת המוצא של המערכת.

3. (3 נק') סרטט את הארכיטקטורה של המערכת, וציין בסרטוט את הסיגנלים הפנימיים.

ג. (6 נק') כתוב את הפונקצייה הבוליאנית של המערכת Tar5.

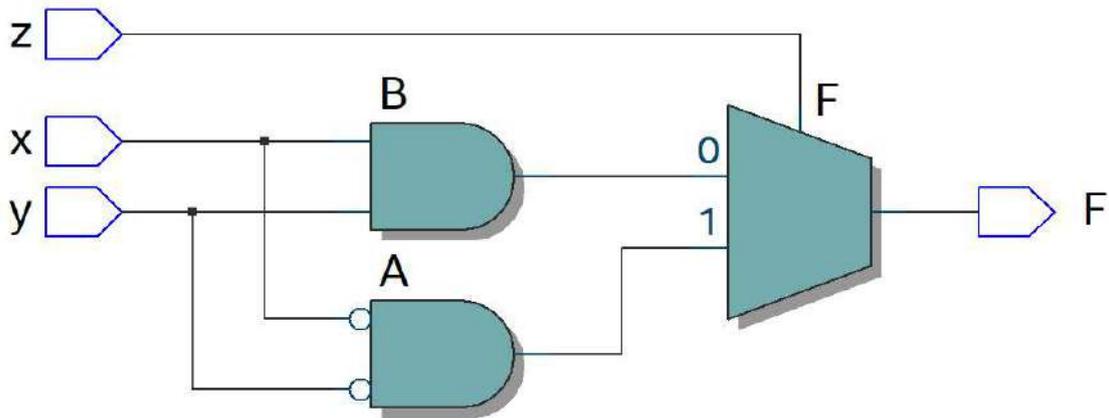
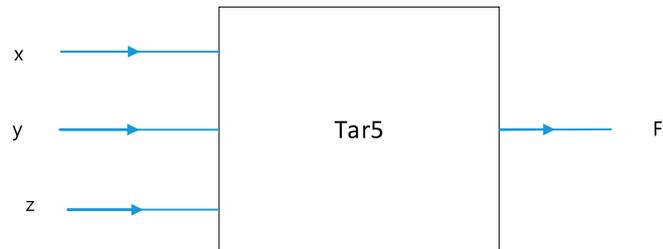
ד. (6 נק') שינו את סדר השורות 8-11 באופן הזה:



האם השינוי בסדר השורות יגרום לשינוי הפונקצייה הבוליאנית? נמק את תשובתך.

פתרון שאלה 5

- א. F מקבל את ערך A כאשר $z=1$ ומקבל ערך B כאשר $z=0$
 MUX 2 ל-1
 הערה: השורה 14 מיותרת כי z מוגדר bit ויכול להיות '0' או '1'
 ב.



$$F = Z \cdot A + \bar{Z} \cdot B = Z \cdot (\bar{X} \cdot \bar{Y}) + \bar{Z} \cdot (X \cdot Y) \quad \text{ג.}$$

- ד. אין שינוי, הפעולות מתבצעות במקביל.

שאלה 6

כתוב תוכנית בשפת VHDL למימוש מקודד עדיפות 4→2 (Priority Encoder). מבוואות המערכת, D(3) – D(0), ומוצאי המערכת, Y(1) ו-Y(0), יוגדרו באמצעות std_logic_vector. פעולת המקודד מוגדרת בטבלה שלפניך. שים לב, x מציין don't care, המוצא V מציין אם יש "1" לוגי באחד המבוואות.

D(3)	D(2)	D(1)	D(0)	Y(1)	Y(0)	V
0	0	0	0	x	x	0
0	0	0	1	0	0	1
0	0	1	x	0	1	1
0	1	x	x	1	0	1
1	x	x	x	1	1	1

פתרון שאלה 6

```

library IEEE;
use IEEE.std_logic_1164.all;

entity Tar6 is
  port(D: in std_logic_vector(3 downto 0);
        Y: out std_logic_vector(1 downto 0);
        V: out std_logic);
end Tar6;

architecture beave of Tar6 is
begin
  Y <= "11" when D(3)='1' else
       "10" when D(2)='1' else
       "01" when D(1)='1' else
       "00";

  V <= '0' when D="0000" else '1';

end beave;

```

לפניך התוכנית Tar7 הכתובה בשפת VHDL.

```

1  library IEEE;
2  use IEEE.std_logic_1164.all;
3  use IEEE.std_logic_unsigned.all;
4  entity Tar7 is
5      generic (W : integer :=6);
6      port( D_in : in std_logic_vector(W-1 downto 0);
7           C_inc: in std_logic;
8           D_out: out std_logic_vector(W-1 downto 0);
9           R_flag out std_logic);
10 end Tar7;
11 architecture behave of Tar7 is
12     signal D_sig :std_logic_vector(W-1 downto 0);
13     begin
14         process (D_in,C_inc)
15             begin
16                 if(C_inc='1')then
17                     D_sig <= D_in+'1';
18                 else
19                     D_sig <= D_in;
20                 end if;
21             end process;
22         D_out <= D_sig;
23         R_flag <= '1' when (C_inc = '1'and D_in="111111") else '0';
24     end behave;

```

א. (8 נק') הסבר את ההוראות שבשורות: 5, 8, 14, 22.

ב. (4 נק') הסבר את הפעולה המתבצעת בשורה 23.

ג. (8 נק') העתק למחרתך את טבלת המצבים שלהלן, והשלם בה את החסר על-פי פעולת המערכת המתוארת בתוכנית.

C_inc	D_in	D_out	R_flag
1	"101101"		
1	"000100"		
0	"000001"		
1	"111111"		

ד. (5 נק') הסבר את פעולת המערכת המתוארת בתוכנית Tar7.

פתרון שאלה 7

א. שורה 5- הגדרת קבוע W גנרי בערך 6

שורה 8- הגדרת מוצא D_out כווקטור בגודל לפי קבוע W (6 סיביות)

שורה 14- תהליך הרגיש ל- D_in, C_inc

שורה 22 – השמה $D_{out} \leq D_{sig}$

ב. שורה 23 - R_flag מקבל '1' כאשר C_inc='1' וגם D_in="111111" אחרת מקבל '0'

ג.

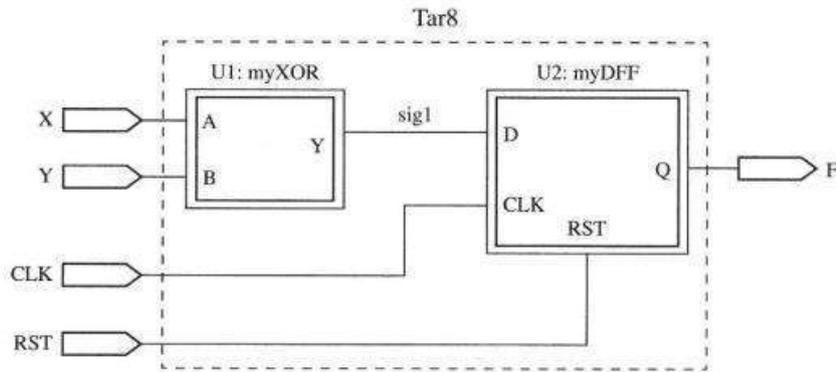
C_inc	D_in	D_out	R_flag
1	"101101"	"101110"	'0'
1	"000100"	"000101"	'0'
0	"000001"	"000001"	'0'
1	"111111"	"000000"	'1'

ד. מוצא D מוציא את ערך הכניסה D_in כאשר C_inc='0' ומקדם ב-1 את D_in כאשר C_inc='1'

מוצא V מוציא '1' כאשר יש גלישה כלומר הערך של הכניסה "111111" ויש קידום ב-1 (C_inc='1')

שאלה 8

באיור לשאלה 8 מתואר המבנה הסכמתי של המערכת הספרתית Tar8. המערכת כוללת שתי מכוניות: myDFF, myXOR.



איור לשאלה 8

- א. (6 נק') המכונית myXOR מממשת פעולת XOR. לפי קוד של המכונית. העתק אותו למחברתך, והשלם בו את הארכיטקטורה של המכונית.

```
ENTITY myXOR IS
  PORT ( A,B :IN BIT;
        Y :OUT BIT);
END myXOR;
ARCHITECTURE bv OF myXOR IS
  BEGIN
    _____;
END bv;
```

- ב. (9 נק') המכונית myDFF מממשת דלגלג מסוג D, שיכול לבצע פעולת איפוס (RESET) אסינכרונית. לפי קטע קוד של המכונית. העתק אותו למחברתך, והשלם בו את הקוד בתוך ה-PROCESS.

```
ENTITY myDFF IS
  PORT ( D,CLK,RST :IN BIT;
        Q :OUT BIT);
END myDFF;
ARCHITECTURE bv OF myDFF IS
  BEGIN
    PROCESS (CLK, RST)
    BEGIN
      _____
      _____
      _____
      _____
    END PROCESS;
END bv;
```

- ג. (10 נק') כתוב תוכנית (TOP LEVEL) בשפת VHDL לשימוש המערכת Tar8, בהתאם לעקרונות התכנון ההיררכי (שימוש בפקודות COMPONENT ו-PORTR MAP).

פתרון שאלה 8

.א.

```

ENTITY myXOR IS
  PORT ( A,B :IN BIT;
         Y  :OUT BIT);
END myXOR;
ARCHITECTURE bv OF myXOR IS
  BEGIN
    Y<=A xor B;
  END bv;

```

.ב.

```

ENTITY myDFF IS
  PORT ( D,CLK,RST :IN BIT;
         Q          :OUT BIT);
END myDFF;
ARCHITECTURE bv OF myDFF IS
  BEGIN
    PROCESS (CLK, RST)
    BEGIN
      if RST='1' then Q<='0';
      elsif clk'event and clk='1' then Q<=D;
      end if;
    END PROCESS;
  END bv;

```

.ג.

```

entity Tar8 is
  port(x,y,clk,RST: in bit;
        F: out bit);
end Tar8;

architecture beave of Tar8 is
  signal sig1:bit;

  component myxor
    port(A,B: in bit;
         y: out bit);
  end component;

  component myDFF
    port(D,clk,RST: in bit;
         Q: out bit);
  end component;

  begin

  U1: myxor port map(A=>x, B=>y , y=> sig1);
  U2: myDFF port map(D=>sig1, clk=>clk, RST=>RST , Q=> F);

  end beave;

```