

פתרון מבחן VHDL 2010

שאלה 5

לפניך התכנית TarA, הכתובה בשפת VHDL :

```

1  Library ieee;
2  Use ieee.std_logic_1164.all;
3  Entity TarA is
4  Port ( D : In Bit;
5         S : In Integer Range 0 to 3;
6         Y : Out Bit_Vector (3 DownTo 0) );
7  end;
8  Architecture Behave of TarA is
9  Begin
10 Y(3) <= D When S=3 Else '0';
11 Y(2) <= D When S=2 Else '0';
12 Y(1) <= D When S=1 Else '0';
13 Y(0) <= D When S=0 Else '0';
14 End Behave;
```

- א. הסבר את הפעולה המתבצעת בשורה 13 בתכנית.
- ב. הסבר את פעולת המערכת המתוארת בתכנית.
- ג. כמה סיביות מוקצות למשתנה S בתכנית?

תשובה 5

- א. $Y(0) \leq D \text{ When } S=0 \text{ Else '0'}$; 13
 הנתון ב-D מועבר לסיבית 0 של Y כאשר S=0 וכאשר S≠0 (1 או 2 או 3) Y(0) מקבל 0 לוגי
- ב. זהו בורר מ-1 ל-4 DMUX, המידע מועבר לאחד מ- מוצאים בהתאם לערך 0 עד 3 ב-S
- ג. ערך S הוא בין 0 ל-3 לכן מוקצים 2 סיביות

שאלה 6

לפניך התכנית TarB, הכתובה בשפת VHDL:

```

1  Library ieee;
2  Use ieee.std_logic_1164.all;
3  Entity TarB is
4  Port ( E, Rst, T : In Bit;
5         q          : Out Bit );
6  end;
7  Architecture Behave of TarB is
8  Signal sig : Bit;
9  Begin
10 Process (E, Rst)
11 Begin
12 If Rst = '1' then
13     sig <= '0';
14 Elsif E'event and E='1' then
15     if T = '0' then
16         sig <= sig;
17     Elsif T = '1' then
18         sig <= not sig;
19     End if;
20 End if;
21 End process;
22 q <= sig;
23 End Behave;

```

א. הסבר את הבדיקה המתבצעת בשורה 14 בתכנית.

ב. הסבר את המשמעות של תוכן הסוגריים, המופיעות לאחר המילה Process בשורה 10 בתכנית.

ג. הסבר את פעולת המערכת המתוארת בתכנית. לווה את הסברך בטבלת פעולה של המערכת.

תשובה 6

א. 14 Elself E'event and E='1' then

עליית שעון ברגל E

ב. 10 Process (E, Rst)

בתוך הסוגריים מסומנות הרגישויות, תהליך מתבצע עבור שינוי באחד הכניסות: Rst, E

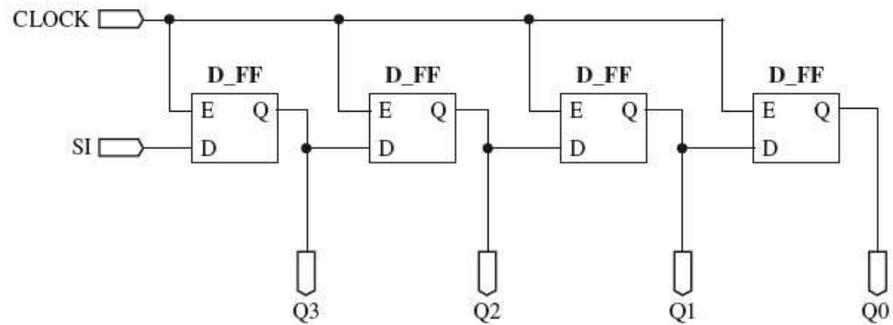
ג. זהו TFF הפעיל בעליית שעון

E	Rst	T	q_n
	1		0
	0	0	q_{n-1} שומר מצב
	0	1	$\overline{q_{n-1}}$ הפוך מצב

don't care -

שאלה 7

באיור לשאלה 7 נתונה מערכת, המבצעת פעולת אוגר הזזה ימינה. למערכת כניסת נתונים טורית (SI) ומוצא מקבילי בעל ארבע סיביות ($Q_3 + Q_0$).



איור לשאלה 7

א. כתוב תכנית בשפת VHDL, המבצעת תיאור מבני לחיבור בין מרכיבי המערכת (COMPONENTS). השתמש בפקודת PORT MAP לצורך החיבור בין מרכיבי המערכת.

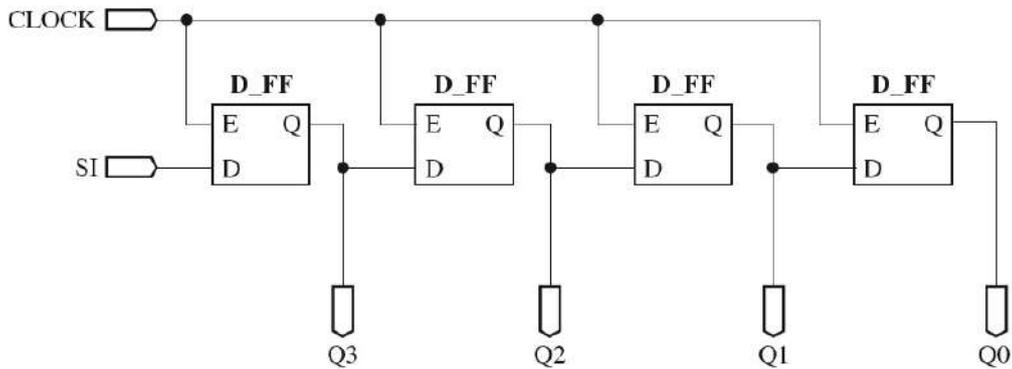
הערה: הסתמך על כך שתכניות ה-D_FF כתובות, מהודרות ומכילות את הישות הקיימת (ומודגשת) בתכנית ה-D_FF הבאה:

```
Library ieee;
Use ieee.std_logic_1164.all;

Entity D_FF is
Port (E, D : In Bit ;
      q   : Out Bit );
end;

Architecture Behave of D_FF is
Begin
Process (E)
begin
If E'event and E = '1' then
    q <= D;
End If;
End Process;
End Behave;
```

ב. העתק למחברתך את סרטוט המערכת, והצג בו את מיקומו ושמו של כל אחד מן האותות (SIGNALS) שבחרת לצורך החיבור המבני שבסעיף א'.



```

entity shift_register is
  port(
    clock:in bit;
    SI:in bit;
    q:out bit_vector(3 downto 0)
  );
end;

architecture reg of shift_register is

  component D_FF
    port (E,D:in bit;
          q:out bit);

  end component;

  signal x:bit_vector(3 downto 0);
begin
  u0: D_FF port map
    (E=>clk,d=>SI,q=>x(3));
  u1: D_FF port map
    (E=>clk,d=>x(3),q=>x(2));
  u2: D_FF port map
    (E=>clk,d=>x(2),q=>x(1));
  u3: D_FF port map
    (E=>clk,d=>x(1),q=>x(0));

  q<=x;
end reg;

```

שאלה 8

לפניך התכנית TarC, הכתובה בשפת VHDL :

```

1  Library ieee;
2  Use ieee.std_logic_1164.all;
3  entity TarC is
4  generic ( bits : integer := 4);
5  port ( clk, si : in std_logic ;
6        q       : buffer std_logic_vector (bits-1 downto 0));
7  end;
8  Architecture behave of TarC is
9  Begin
10 Process (clk)
11 begin
12     if rising_edge(clk) then
13         q <= si & q(bits-1 downto 1);
14     end if;
15 End process;
16 End behave;
```

- א. הסבר את ההוראה שבשורה 4 בתכנית, ואת משמעותה לגבי התכנית כולה.
- ב. העתק למחברתך את הטבלה הבאה, והשלם את ערכי המוצאים $q_3 + q_0$ ואת הערך העשרוני במוצא, על-פי התכנית והנתונים בטבלה.

ערך עשרוני במוצא	q0	q1	q2	q3	si	clk
0	0	0	0	0	0	
8	0	0	0	1	1	
					0	
					1	
					1	

תשובה 8

א.

4 generic (bits : integer : = 4);

מאפשר לתכנן מבנה בגודל כללי ונקבע ע"י הערך המוגדר בסוגריים, בדוגמא bits=4 האוגר הזזה בגודל 4 סיביות

ב.

clk	si	q3	q2	q1	q0	ערך עשרוני במוצא
┌ └	0	0	0	0	0	0
	1	1	0	0	0	8
	0	0	1	0	0	4
	1	1	0	1	0	10
	1	1	1	0	1	13