

לולאות**לולאת loop**

Label: Loop

יציאה מה-loop ע"י פקודת exit
end loop label ;

דוגמאות:

loop

```
A(i) <= '0' ;
i := i+1;
exit when i > 10;
end loop;
```

לולאת for

label: for variable in range loop

פקודות;

end loop label ;

דוגמאות:

for i in 0 to 10 loop

```
A(i) <= '0' ;
end loop;
```

לולאת while

label: while condition loop

פקודות;

end loop label ;

דוגמאות:

While i < 10 loop

```
A(i) <= '0' ;
i := i+1;
end loop;
```

דוגמא 1 – תוכנית סופרת את מספר ה-'1' בכניסה**באמצעות לולאת LOOP**

```

ENTITY loop_1 IS
    PORT( d : IN BIT_VECTOR (9 DOWNTO 0);
          q : OUT INTEGER RANGE 0 TO 10);
END ;

ARCHITECTURE arc_count OF loop_1 IS
BEGIN
    PROCESS (d)
        VARIABLE i, num_bits : integer range 0 to 10;
    BEGIN
        i:=0;
        num_bits:=0;
        LOOP
            IF d(i) = '1' THEN
                num_bits:=num_bits+1;
            END IF;
            i:=i+1;
            exit when (i>9);
        END LOOP;

        q<=num_bits;

    END PROCESS;
END;

```

באמצעות לולאות for

```

ENTITY count_1 IS
    PORT( d : IN BIT_VECTOR (9 DOWNTO 0);
          q : OUT INTEGER RANGE 0 TO 10);
END ;

ARCHITECTURE arc_count OF count_1 IS
BEGIN
    PROCESS (d)
        VARIABLE num_bits : integer range 0 to 10;
    BEGIN
        num_bits := 0;

        FOR i IN 0 to 9 LOOP
            IF d(i) = '1' THEN
                num_bits := num_bits + 1;
            END IF;
        END LOOP;

        q <= num_bits;

    END PROCESS;
END ;

```

באמצעות לולאות while

```

ENTITY while_1 IS
    PORT( d : IN BIT_VECTOR (9 DOWNTO 0);
          q : OUT INTEGER RANGE 0 TO 10);
END ;

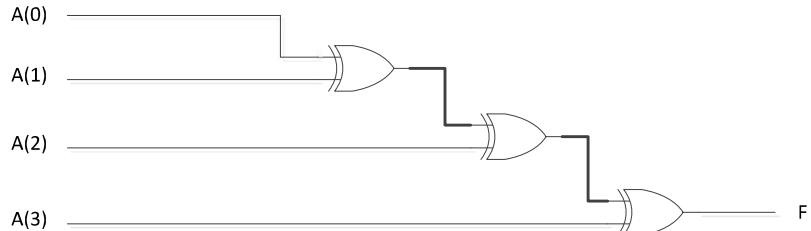
ARCHITECTURE arc_count OF while_1 IS
BEGIN
    PROCESS (d)
        VARIABLE i, num_bits : integer range 0 to 10;
    BEGIN
        i:=0;  num_bits:=0;

        while i<10 LOOP
            IF d(i) = '1' THEN
                num_bits:=num_bits+1;
            END IF;
            i:=i+1;
        END LOOP ;

        q<=num_bits;

    END PROCESS;
END;

```

דוגמה 2 – מעגל הבודק זוגיות ל- 4 סיביות הבניי משער xor

```

entity xor_4 is
    port( A : in bit_vector(3 downto 0);
          F : out bit);
END ;

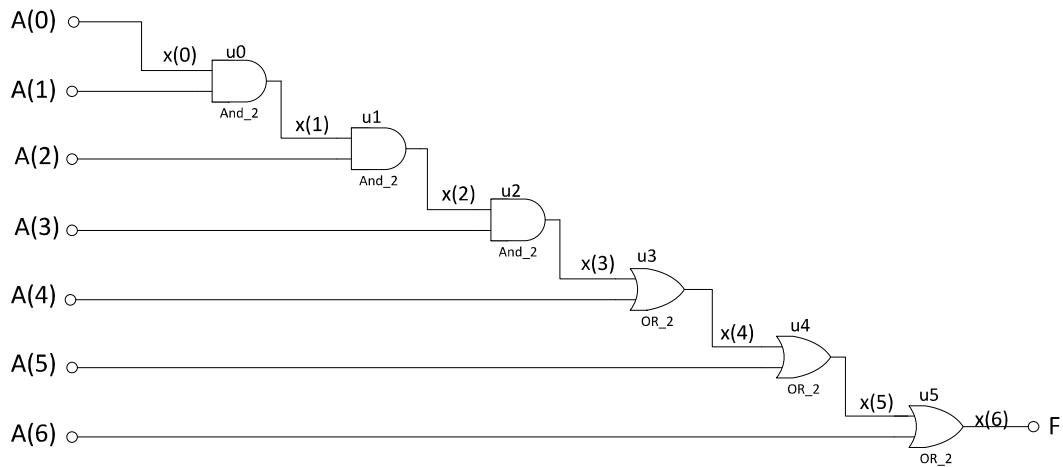
architecture arc_xor of xor_4 is
begin
    process(A)
        variable temp: bit;
    begin
        temp:='0';
        for i in 0 to 3 loop
            temp:= temp xor A(i);
        end loop;

        F <= temp;

    end process;
end ;

```

דוגמה 3 – מעגל הבני משעריו and ו-or



```

entity and_or is
    port( A : in bit_vector(6 downto 0);
          F : out bit);
END ;

architecture arc of and_or is
begin
    process(A)
        variable temp: bit;
    begin
        temp:='1';
        for i in 0 to 6 loop
            if(i < 4) then temp:= temp and A(i);
            else   temp:= temp or A(i);
            end if;
        end loop;

        F <= temp;

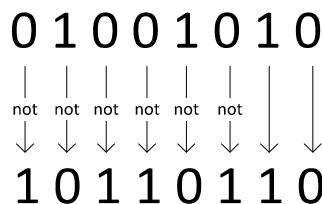
    end process;
end ;

```

דוגמה 4 – משלים ל- 2 של וקטור בגודל 8 סיביות

מעתיקים את הביט הימני, אם הוא 1 כל השאר הפוכים
אם 0 ממשיכים להעתיק עד לביט שהוא 1, מעתיקים אותו וכל השאר הפוכים.

לדוגמא



```

entity comp_2 is
  port( A : in bit_vector(7 downto 0);
        B : out bit_vector(7 downto 0));
end;
architecture arc of comp_2 is
begin
  process(A)
    variable temp: bit;
  begin
    temp:='0';
    for i in 0 to 7 loop
      if(temp = '0') then
        B(i)<=A(i);
        temp:=A(i);
      else
        B(i)<=not A(i);
        temp:='1';
      end if;
    end loop;
  end process;
end;
  
```