

פתרונות VHDL 2016 711003

שאלה 5

להלן תכנית בשפת VHDL, המוגדרת מירכט ספרתי מסויימת.

```

1. ENTITY EX1 IS
2. PORT(x:IN BIT_VECTOR(3 DOWNTO 0);
3.       s:IN INTEGER RANGE 0 TO 3;
4.       y:OUT BIT);
5. END EX1;
6. ARCHITECTURE behave OF EX1 IS
7. BEGIN
8.   PROCESS (x,s)
9.   BEGIN
10.    FOR i IN 0 TO 3 LOOP
11.      IF s=i THEN y<=x(i);
12.    END IF;
13.   END LOOP;
14. END PROCESS;
15. END behave;

```

- .א. הסבר את ההוראות שבשורות 2, 3 ו-10.
.ב. העתק את הטבלה שללון למחברתך, והשלם את החסר בה בהתאם לתכנית המתונה כאשר $s = 3$ ו- $x = '1101'$.

x	s	i	האם התנאי מתקיים?	y
1101	3	0		
1101	3	1		
1101	3	2		
1101	3	3		

- .1. סרטט סמל למערכת זו, וציין בו את המבואהות ואת המזקע של המערכת.
.2. איזו מערכת ספרטיטית מותאמת על ידי התכנית זו?

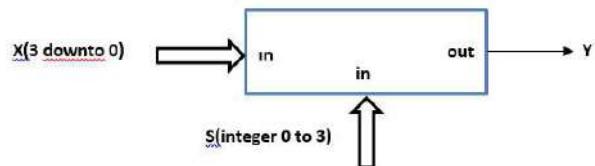
פתרונות 5

- .א. 2 – הגדרת כניסה בעלייה 4 סיביות
– הגדרת כניסה עם משתנה בעל ערך 0 עד 3 (2 ביטים)
– לולאה מ-0 עד 10

.ב.

x	s	i	האם התנאי מתקיים?	y
1011	3	0	לא	ערך קודם
1101	3	1	לא	ערך קודם
1101	3	2	לא	ערך קודם
1101	3	3	כן	1

.ג.



mux 4 to 1 .2

שאלה 6

להלן תוכנית בשפת VHDL, המתארת מערכת ספרטית מסוימת.

```

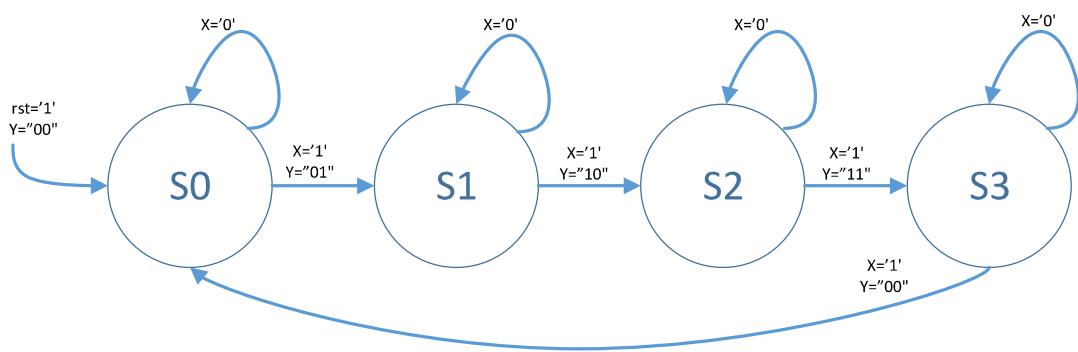
1. LIBRARY IEEE;
2. USE IEEE.STD_LOGIC_1164.ALL;
3. ENTITY EX2 IS
4.     PORT(clk, rst: IN STD_LOGIC;
5.             x      : IN STD_LOGIC;
6.             y      :OUT STD_LOGIC_VECTOR (1 DOWNTO 0));
7. END EX2;
8. ARCHITECTURE smachine OF EX2 IS
9.     TYPE mySTATES IS (s0, s1, s2, s3);
10.    SIGNAL currentS : mySTATES;
11. BEGIN
12.     PROCESS (clk, rst)
13.     BEGIN
14.         IF rst='1' THEN
15.             currentS<=s0;
16.             y<="00";
17.         ELSIF (clk' Event AND clk = '1') THEN
18.             CASE currentS IS
19.                 WHEN s0 => IF x='1' THEN currentS<=s1;
20.                             y<="01";
21.                         END IF;
22.                 WHEN s1 => IF x='1' THEN currentS<=s2;
23.                             y<="10";
24.                         END IF;
25.                 WHEN s2 => IF x='1' THEN currentS <=s3;
26.                             y<="11";
27.                         END IF;
28.                 WHEN s3 => IF x='1' THEN currentS <=s0;
29.                             y<="00";
30.                         END IF;
31.             END CASE;
32.         END IF;
33.     END PROCESS;
34. END smachine;
```

- א.** הסבר את ההוראות שבשורות 9, 12 ו-17.
- ב.** הסבר מה מבצע קטע התכנית שבשורות 19 ÷ 21.
- ג.** סרטט את דיאגרמת המצבים של המערכת.
- ד.** איזו מערכת ספרטית מתוארת עלי ידי התכנית זו?

פתרונות 6

- א. שורה 9 – הגדרת טיפוס המכיל את השמות S0,S1,S2,S3
 שורה 12 – תחיליר הרגיש לאותות clk,rst
 שורה 17 – האם יש עליית שעון בהדק Δt
- ב. אם המכונה נמצאת במצב S0 , כאשר $'1'=x$ תעבור למצב S1 והמוצא Y ישתנה "01" $y="01"$
 כאשר $'0'=x$ אין שינוי במצב המכונה ובמוצא Y

ג.



- ד. מכונת מצבים המתארת מונה הסופר מעלה מ-00 עד 11 כאשר $1=X$ ועוצרת כאשר $0=X$

שאלה 7

כתוב תכנית בשפת VHDL למערכת ספרטיט, שתבצע פעולה לוגית בין שתי סיביות a ו-b , תוך שימוש בהוראת התניה WITH ... SELECT .
 למשמעות יהיה מבוא-בקרה s בגודל שתי סיביות לבחירת הפעולה הלוגית שתבוצע בין הסיביות a ו-b :

- . כאשר "00" = s – המוצא מקבל את הערך של פעולה OR בין הסיביות a ו-b .
- . כאשר "01" = s – המוצא מקבל את הערך של פעולה AND בין הסיביות a ו-b .
- . כאשר "10" = s – המוצא מקבל את הערך של פעולה XOR בין הסיביות a ו-b .
- . כאשר "11" = s – המוצא מקבל את הערך של פעולה NAND בין הסיביות a ו-b .

פתרון 7

```
entity targil7 is
port(s: in bit_vector(1 downto 0);
      a,b :in bit;
      y:out bit);
end;

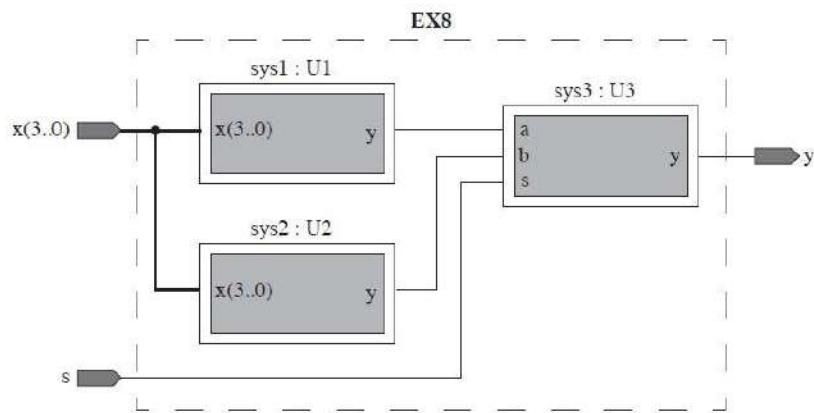
architecture arc_targil7 of targil7 is
begin|


with s select
y<= a or b when "00",
      a and b when "01",
      a xor b when "10",
      a nand b when "11";

end;
```

שאלה 8

באירוע לשאלה 8 מיותר והמבנה הסכמטי של הפערכת הספרותית EX8 כולל שלוש מבניות: . sys1 , sys2 , sys3



איור לשאלה 8

להלן קוד בשפת VHDL עבור כל אחת מהמבנהות:

```

ENTITY sys1 IS
  PORT(x : IN BIT_VECTOR(3 DOWNTO 0);
       y : OUT BIT);
END sys1;
ARCHITECTURE behave OF sys1 IS
BEGIN
  y<=(x(0) AND x(1)) OR (x(2) AND x(3));
END behave;

ENTITY sys2 IS
  PORT(x : IN BIT_VECTOR(3 DOWNTO 0);
       y : OUT BIT);
END sys2;
ARCHITECTURE behave OF sys2 IS
BEGIN
  y<=(NOT x(0) AND x(1)) OR (x(2) AND NOT x(3));
END behave;

ENTITY sys3 IS
  PORT(a, b, s : IN BIT;
       y : OUT BIT);
END sys3;
ARCHITECTURE behave OF sys3 IS
BEGIN
  y<=a WHEN s='0' ELSE b;
END behave;
  
```

a. הסבר מה מבצעת כל אחת מהמבנהות . sys1 , sys2 , sys3

b. כתוב תכנית (TOP LEVEL) בשפת VHDL לIMPLEMENT הפערכת EX8 , בהתאם לעקרונות התכנון ההיררכי (שימוש בפקודות COMPONENT ו-PORT MAP).

פתרונות 8

א.

 $y \leq (x(0) \text{ AND } x(1)) \text{ OR } (x(2) \text{ AND } x(3));$

פעולות לוגיות לפי הביטוי

Sys2

 $y \leq (\text{NOT } x(0) \text{ AND } x(1)) \text{ OR } (x(2) \text{ AND } \text{NOT } x(3));$

פעולות לוגיות לפי הביטוי

Sys3

 $y \leq a \text{ WHEN } s='0' \text{ ELSE } b;$

1-ל-2 Mux

.ב.

```

entity targil8 is
port(x: in bit_vector(3 downto 0);
      s :in bit;
      y:out bit);
end;

architecture arc_targil8 of targil8 is
signal net1,net2:bit;

component sys1
PORT(x : IN BIT_VECTOR(3 DOWNTO 0);
y : OUT BIT);
END component;

component sys2 IS
PORT(x : IN BIT_VECTOR(3 DOWNTO 0);
y : OUT BIT);
END component;

component sys3 IS
PORT(a, b, s : IN BIT;
y : OUT BIT);
END component;

begin
U1:sys1 port map(x=>x, y=>net1);
U2:sys2 port map(x=>x, y=>net2);
U3:sys3 port map(a=>net1, b=>net2,s=>s,y=>y);

end;

```