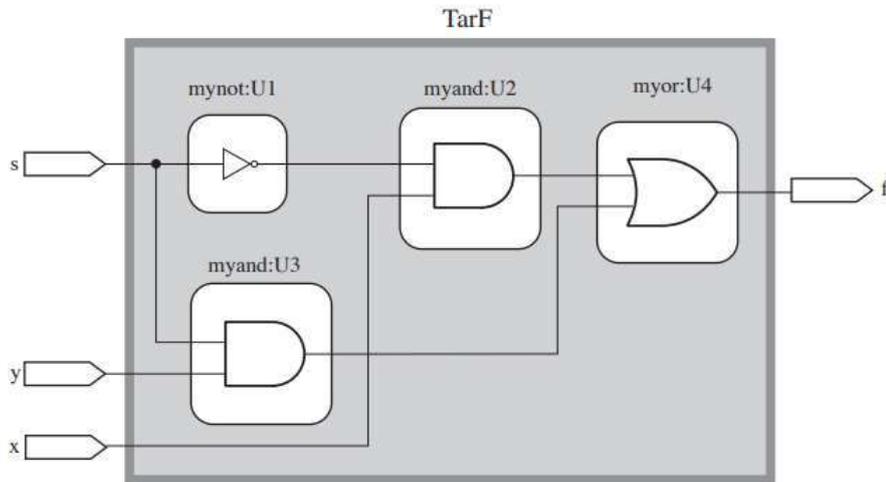


## פתרון מבחן VHDL 2019

### שאלה 5

באיור לשאלה 5 נתונה מערכת ספרתית בשם TarF.



### איור לשאלה 5

כמו־כן נתון המימוש בשפת VHDL של כל אחת מהיחידות mynot, myor, myand.

```
ENTITY myand IS
  PORT (a, b: IN BIT;
        y : OUT BIT);
END myand;
ARCHITECTURE behave OF myand IS
BEGIN
  y <= a AND b;
END behave;
```

```
ENTITY myor IS
  PORT (a, b: IN BIT;
        y : OUT BIT);
END myor;
ARCHITECTURE behave OF myor IS
BEGIN
  y <= a OR b;
END behave;
```

```

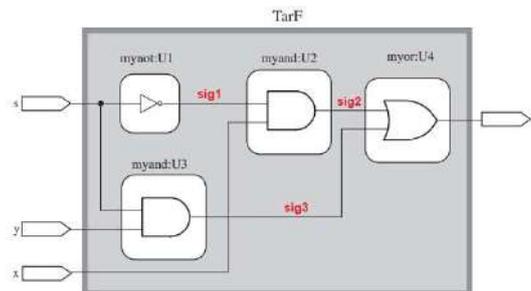
ENTITY mynot IS
    PORT (x: IN BIT;
          y : OUT BIT);
END mynot;

ARCHITECTURE behave OF mynot IS
BEGIN
    y <= NOT x;
END behave;

```

- 15 נק') א. ממש את המערכת שבאיור לשאלה 5 בשפת VHDL על-פי עקרונות התכנון ההיררכי, תוך שימוש במבניות: myand , myor , mynot
- 10 נק') ב. העתק למחרתך את האיור לשאלה 5, וסמן עליו את האותות (Signals) שהגדרת בסעיף א'.

## פתרון 5



```

entity TarF is
    port (
        s,y,x: in bit;
        f:      out bit );
end;

architecture reg of TarF is

    component myand
        port (a,b:in bit;
              y :out bit);
    end component;

    component myor
        port (a,b:in bit;
              y :out bit);
    end component;

    component mnot
        port ( x:in bit;
              y :out bit);
    end component;

    signal sig1,sig2,sig3:bit;
begin
    U1: mynot  port map (x=>s, y=>sig1);
    U2: myand  port map (a=>sig1, b=>x,y=>sig2);
    U3: myand  port map (a=>s , b=>y,y=>sig3);
    U4: myor   port map (a=>sig2, b=>sig3,y=>f);
end;

```

## שאלה 6

לפניך התוכנית TarB, הכתובה בשפת VHDL :

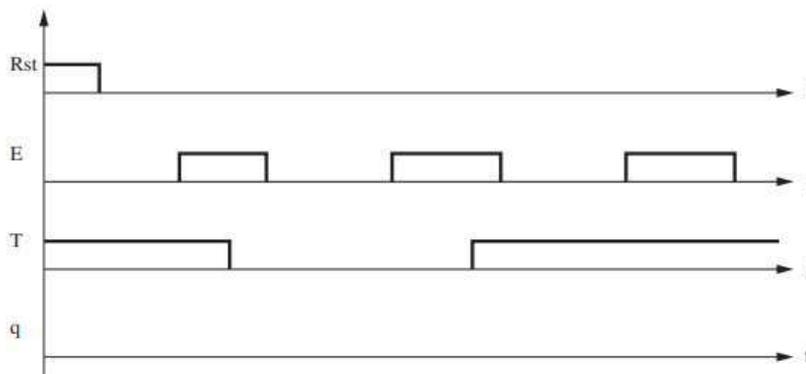
```

1 Entity TarB is
2 Port ( E, Rst, T : In Bit;
3       q           : Out Bit );
4 End;
5 Architecture Behave of TarB is
6 Begin
7 Process (E, Rst)
8 Variable tmp : Bit := 0;
9 Begin
10 If Rst = '1' then
11     tmp := '0';
12 Elsif E'event and E='1' then
13     If T = '0' then
14         tmp := tmp;
15     Else
16         tmp := not tmp;
17     End If;
18 End If;
19 q <= tmp;
20 End Process;
21 End Behave;

```

8 נק') א. הסבר את הבדיקה המתבצעת בשורה 12 בתוכנית.

10 נק') ב. באיור לשאלה 6 מתוארים, זה מתחת לזה בהתאמה, האותות Rst, E, T כפונקצייה של הזמן. העתק את האיור למחברתך, והשלם בו את אות המוצא q כפונקציה של הזמן.



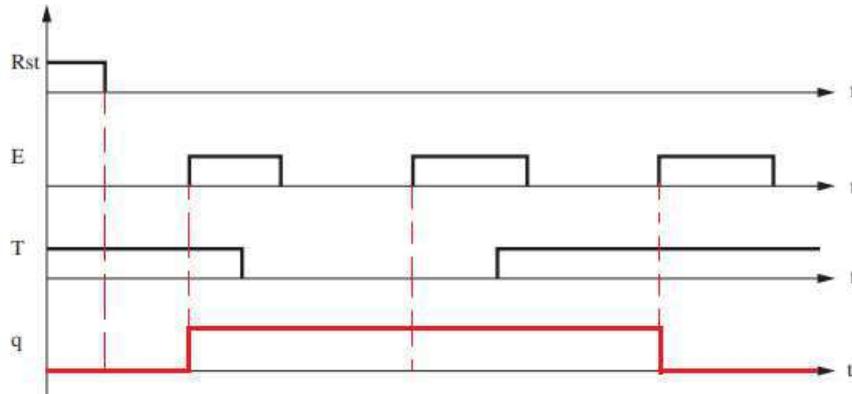
איור לשאלה 6

7 נק') ג. מעבירים את הפקודות שבשורות 10=11 לאחר שורה 12. כיצד ישפיע הצעד הזה על פעולת המערכת?

## פתרון 6

א. עליית שעון בהדק E

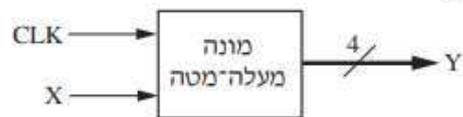
ב.



ג. ה-RST יהיה סינכרוני ויאפס רק בעליית שעון, במקרה זה הדק זה לא יאפס את המוצא ( במקרה והמוצא היה 0 בתחילה, לא יהיה שינוי )

## שאלה 7

באיור לשאלה 7 מתואר מונה מעלה-מטה.



## איור לשאלה 7

כתוב תוכנית בשפת VHDL, המבצעת פעולת מונה מעלה-מטה. המונה יספור באופן מחזורי בכל עליית שעון, בהתאם לערך הלוגי של המבוא X. ערכו של המבוא X נבדק בכל עליית שעון:

אם ערכו הוא '1', המונה יספור מ-0 עד 9 באופן מחזורי.

אם ערכו הוא '0', המונה יספור מ-9 עד 0 באופן מחזורי.

הערה:

השימוש במכונת-מצבים בתוכנית אינו חובה.

```
entity Counter_0_to_9 is
  port (clk ,X: in bit;
        q: buffer integer range 0 to 9);
end;

architecture arc_count of Counter_0_to_9 is
begin

  process (clk)
  begin
    if clk'event and clk='1' then
      if X='1' then
        if q < 9 then q <= q+1;
        else q <= 0; end if;
      else
        if q > 0 then q <= q-1;
        else q <= 9; end if;
      end if;
    end if;
  end process;
end;
```

## שאלה 8

לפניך התוכנית TarA, הכתובה בשפת VHDL:

```

1  Library ieee;
2  Use ieee.std_logic_1164.all;
3  Entity TarA is
4  Port ( D : In Bit;
5         S : In Integer Range 0 to 3;
6         Y : Out Bit_Vector (3 DownTo 0) );
7  End;
8  Architecture Behave of TarA is
9  Begin
10 Y(3) <= D When S=3 Else '0';
11 Y(2) <= D When S=2 Else '0';
12 Y(1) <= D When S=1 Else '0';
13 Y(0) <= D When S=0 Else '0';
14 End Behave;

```

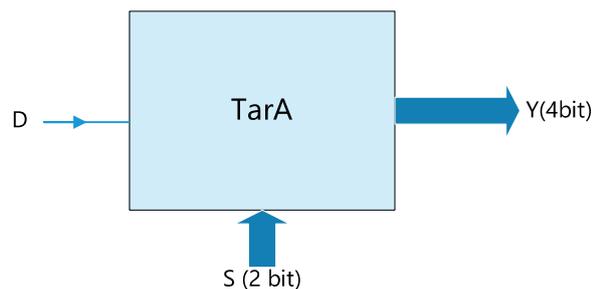
- 5 נק') א. הסבר את הפעולה המתבצעת בשורה 10 בתוכנית.
- 5 נק') ב. סרטט סמל למערכת TarA. ציין בסרטוט את שמות המבואות והמוצא, וציין את מספר הסיביות בכל אחד מהם.
- 10 נק') ג. העתק למחברתך את טבלת המצבים שלהלן והשלם בה את החסר, על-פי פעולת המערכת המתוארת בתוכנית.

S	Y(3)	Y(2)	Y(1)	Y(0)
0				
1	'0'	'0'	D	'0'
2				
3				

- 5 נק') ד. ממש את פעולת המערכת בצורה שונה מזו המתוארת בתוכנית TarA.

## פתרון 8

- א. שורה 10 – Y(3) מקבל ערך של D כאשר S=3, אחרת מקבל את הערך 0.
- ב.



S	Y(3)	Y(2)	Y(1)	Y(0)
0	'0'	'0'	'0'	D
1	'0'	'0'	D	'0'
2	'0'	D	'0'	'0'
3	D	'0'	'0'	'0'

```

1  Library ieee;
2  Use ieee.std_logic_1164.all;
3  Entity TarA is
4  Port ( D : In Bit;
5         S : In Integer Range 0 to 3;
6         Y : Out Bit_Vector (3 DownTo 0) );
7  End;
8  Architecture Behave of TarA is
9  Begin
10     Y<=  "000" & D   when S= 0 else
11         "00" & D & '0' when S= 1 else
12         '0' & D & "00" when S= 2 else
13         D & "000";
14 End Behave;

```